

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-044209

(43)Date of publication of application : 12.03.1982

(51)Int.Cl.

G11B 5/09
H03K 5/153
H04L 7/02
H04L 25/40

(21)Application number : 55-120915

(71)Applicant : SHARP CORP

(22)Date of filing : 29.08.1980

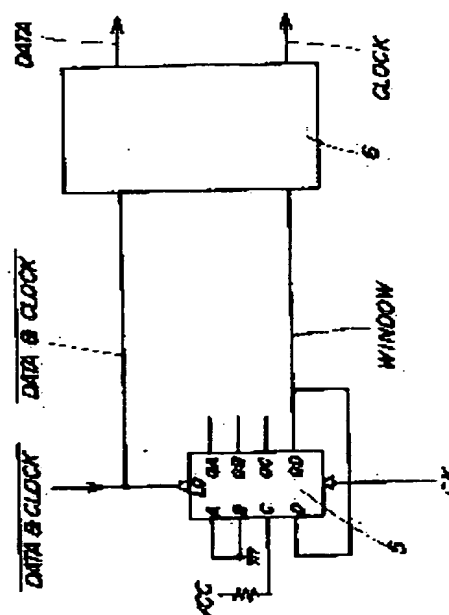
(72)Inventor : NAKAGAWA HIROMITSU

(54) SIGNAL SEPARATING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate an error caused by the uneven rotations of a magnetic disk, by producing a window signal through the specified period among all periods of a counter from the time of arrival of a data signal and a clock signal when separating these signals which are recorded on the magnetic disk, etc.

CONSTITUTION: A preset counter 5 of 16 notation uses, e.g. SN74191 of the Texas Company, and preset inputs AWD plus count outputs QAWQD are provided with Q and QA, B and QB, D and QD plus C and CQ as weights 1, 2, 4 and 8 respectively. The counter 5 performs the counting with a clock signal CK to be supplied, and the states of the inputs AWD are set to the counter 5 with input of a load signal LO. Based on the set value, the counting is carried out. The data signal, the clock signal and the output QD, i.e. the window signal are supplied to a data separator 6 to separate the data signal. The output QD is set so as to be produced in a 1/4 or 3/4 counter period at the time when the data and clock signals arrive.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—44209

⑬ Int. Cl.³
G 11 B 5/09
H 03 K 5/153
H 04 L 7/02
25/40

識別記号
1 0 4

庁内整理番号
7345—5D
7125—5J
7608—5K
7240—5K

⑭ 公開 昭和57年(1982) 3月12日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ 信号分離回路

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑯ 特 願 昭55—120915
⑰ 出 願 昭55(1980) 8月29日
⑱ 発 明 者 中川博満

⑲ 出 願 人 シャープ株式会社
大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 福士愛彦

明 細 書

1. 発明の名称

信号分離回路

2. 特許請求の範囲

1. データ信号とクロック信号の混在する信号を入力するためのカウンタを設け、該信号の到来時より前記カウンタの全周期の $1/4$ 、又は $3/4$ の間期より矩形波を発生させ、該矩形波によつて前記データ信号とクロック信号を分離するようにしたことを特徴とする信号分離回路。

3. 発明の詳細な説明

本発明は例えばコンピュータの外部記憶装置である磁気ディスク等に記録されたデータ信号とクロック信号を分離するために必要な信号(通常、ウインド信号と呼ばれる。)を出力するための信号分離回路に関するものである。

一般に、'ウインド信号'とは、複数種類の信号列から目的とする信号を分離するための信号である。

従来、信号分離を行なうウインド信号発生回路

として、可変周波数発生回路(略してVFO回路と呼ばれる。)が用いられている。例えば第1図に示す如くPLL方式によるVFO回路が提案されている。即ち、図に於て、1は位相検波器、2はフィルター及びアンプ、3は電圧制御発振器、4はデータセパレータであり、電圧制御部3より出力される信号Vとデータ及びクロック信号Rとの位相比較を行なうと共に、上記信号Vをウインド(WINDOW)信号としてデータセパレータ4に送り、データセパレータによりデータ信号とクロック信号との分離を行なうものである。データセパレータ4は原理的にアンドゲートで構成することが出来る。

しかし、上述の方式は回路が複雑で、多くの部品を必要とし、厳密な調整を要し、高価となるなどの欠点があつた。

また、データ信号とクロック信号が交互に存在する信号に対して、WINDOW信号の様にデータとクロックを区別する為の信号を作る場合、第2図の様にDATA & CLOCKの信号(C:

CLOCK, D: DATA) が一定の周波数であれば WINDOW 信号を作る事も簡単であるが、実際には磁気ディスクの回転数の変動の為に、この DATA & CLOCK の信号が変動する。それに応じてこの WINDOW 信号の周波数を変えねばならず、VFO 回路の製作が極めて困難であるなどの欠点があつた。

本発明は上述の従来の欠点に鑑みてなされたもので、小規模で、かつ少ない部品で、しかも簡単に調整で磁気ディスク装置等とデータをやり取りする為に不可欠な信号分離回路を提供せんとするものである。

以下、本発明の信号分離回路の一実施例を図面を参照して詳しく説明する。

第3図はその一実施例を示し、図中、5は16進のプリセットブルカウンタであり、例えばテキサス・インストルメント社のSN74191(商品名)を用いることができる。

A, B, C, Dはプリセット入力、QA, QB, QC, QDはカウント出力であり、A及びQAは

重み1、B及びQBは重み2、C及びQCは重み4、D及びQDは重み8をそれぞれ有している。

CKはクロック信号であり、この信号によつてカウントを行なう。LOはロード信号であり、この信号が入力されれば、プリセット入力A, B, C, Dの状態がカウンタ5にセットされ、以降その値からカウントを行なう。データ信号とクロック信号を分離するために必要なウインド信号はカウント出力QDより出力される。

6はデータセパレータであり、前記DATA & CLOCK信号とWINDOW信号が入力され、このWINDOW信号に基づいてデータ信号とクロック信号がそれぞれ分離される。データセパレータ6は原理的には論理積ゲートにより構成することができる。

特に本発明の信号分離回路はWINDOW信号をどのように作成するかの特長がある。実施例によればカウンタが用いられる。

次にその具体的構成について説明する。

第4図はカウンタ5に入力されるDATA & CLOCK信号が無い場合のカウンタの出力波形

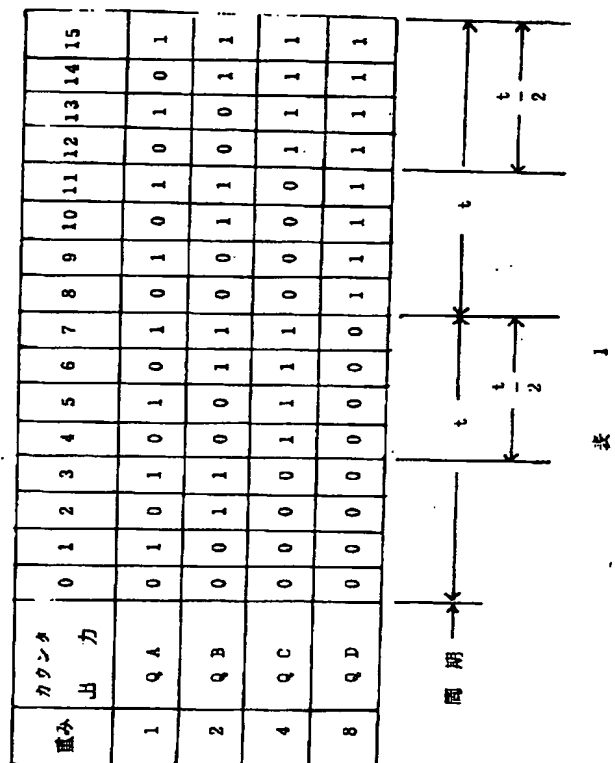
図を表わす。

ここで、CKはクロック信号、QA, QB, QC, QDはそれぞれカウント出力である。

カウント出力はそれぞれ重みを有し、カウンタ5の最も重い出力ビットQDの信号の波長を2tと仮定する。

第5図及び第6図はDATA & CLOCK信号が到来した場合の一例のタイムチャート図であり、第5図に於ては、カウンタ5(第3図参照)のカウント出力QDは「0」であるため、LOAD時点で、プリセット入力A~Dはそれぞれ、A=0, B=0, C=1, D=0となり、この値(0100)は16進カウンタの4の値に相当し、この値より再びカウントを始める。このためt/2時間後、QDの出力が「0」から「1」に変化する。

もう少し詳しく述べると、カウンタ出力QA~QD、周期との関係は次の表1の如くなる。



表から分かるようにWINDOW信号となるカウンタ5のカウンタ出力QDはカウンタ値が0~7のときはLowレベルとなり、カウンタ値8~15のときはHighレベルとなる。従つて、上述の如くカウンタ値が「4」より再びカウントを始めると、カウンタ値が7から8に変するとカウンタQD出力は「0」から「1」に変化することが分かる。つまり、カウンタ値「4」から再びカウントを始めると $\frac{t}{2}$ 時間後、QDの出力が「0」から「1」に変化することになる。

第6図に於ては、カウンタの出力QDは「1」であるため、LOAD時点でプリセット入力A~Dは、A=0, B=0, C=1, D=1となり、この値は(1100=12)に相当し、カウンタ値「12」より再びカウントを始めると。このため前記表-1より分かる様に $\frac{t}{2}$ 時間後にQDの出力が「1」から「0」に変化する。

従つて、カウンタのQD出力(即ち、WINDOW信号)がLowレベルの時にDATA & CLOCK信号がカウンタに入力

されると $\frac{t}{2}$ 時間後にQD出力は「0」から「1」に変化(セット)し(第5図)、一方QD出力がHighレベルの時にDATA & CLOCK信号がカウンタに入力されると $\frac{t}{2}$ 時間後に「1」から「0」に変化(リセット)し、換言すれば $\frac{3}{2}t$ 時間後にセットされる(第6図)ことが分かるであろう。 $\frac{t}{2}$ 時間、 $\frac{3}{2}t$ 時間はカウンタ全体の周期を $2t$ としているのでカウンタ全体の $\frac{1}{4}$ 、 $\frac{3}{4}$ 進んだ所にセットされることになる。

この様にカウンタの出力QDの信号(WINDOW信号)がHighレベルの時にDATA & CLOCK信号が入力されると、第3図に示したカウンタ5は前述の如く、その信号によつてカウンタ全体の周期の $\frac{1}{4}$ 又は $\frac{3}{4}$ 進んだ所にセットされる為に $\frac{t}{2}$ 時間後にWINDOW(QD出力)信号はHigh-Lowへ反転する。その後本来なら、 $\frac{t}{2}$ 時間後に再びDATA & CLOCKの信号が来るはずであるが、この信号の来るのが何らかの都合で遅れたり、早まったりすることがある。

つまり、DATA & CLOCK信号が一定の周波数であれば、WINDOW信号を作ることにも簡単であれば実際には磁気ディスク等の回転数の変動の為に、このDATA & CLOCK信号の周波数が変動する。

しかしながら、本発明による信号分離回路によればDATA & CLOCK信号の周波数が変動しても、簡単にWINDOW信号に基づいて、DATA信号とCLOCK信号を分離することができる。

第7図及び第8図は磁気ディスクの回転の変動とWINDOW信号(カウンタのQD出力)との関係を示す図である。

第7図に於て、WINDOW信号がLow状態のとき、DATA & CLOCK信号のカウンタ入力へ到来するのが何らかの都合で α 時間遅れた場合、この α が $0 \leq \alpha < \frac{t}{2}$ の時間内であれば、WINDOW信号はLowの状態を保持しており、さらにそのDATA & CLOCKの信号が来てからのち、 $\frac{t}{2}$ 時間Lowの状態を保持する。

つまり、 $\frac{t}{2}$ 時間経過後WINDOW信号はLow-Highへ反転する。

又、さらに次のDATA & CLOCK信号がDATAが「0」であつた為に来なかつたと仮定しても丁度 t 時間に自動的にHigh-Lowへ反転する。従つて、磁気ディスクの回転が遅れ、DATA & CLOCK信号の周期が延びた場合($\alpha > 0$)でもデータ信号とクロック信号をWINDOW信号に基づいて簡単に分離できる。

つまり、磁気ディスクの回転ムラによりクロック信号Cの発生が α 時間遅れても、クロック信号が来てから $\frac{t}{2}$ 時間後にWINDOW信号はLow-Highへ変化するから回転ムラがあつてもクロック信号の発生時間のズレが蓄積されず、誤差となつて現われないということである。つまり α 時間のズレが蓄積し、WINDOW信号がHighレベルの時にクロック信号Cが発生することがなくなるので、WINDOW信号のHighレベルの時、データ信号Dを、Lowレベルの時、クロック信号を分離して取り出すことができることであ

るまた、第8図のように磁気ディスクの回転が早まり $\alpha < 0$ となつた場合も、 $-\frac{1}{2} < \alpha \leq 0$ なら同様である。

つまり、いずれの場合も DATA & CLOCK 信号の到来時よりカウンタの全周期の $\frac{1}{4}$ 又は $\frac{3}{4}$ の同期より矩形波を発生(換言すれば'0'から'1'へ変化させる)ことによつて達成できるものである。

以上述べた様に本発明の信号分離回路によれば、小規模で、少ない部品で、しかも簡単な調整で磁気ディスク等の装置とデータをやりとりするため不可欠な信号分離回路を達成できる。

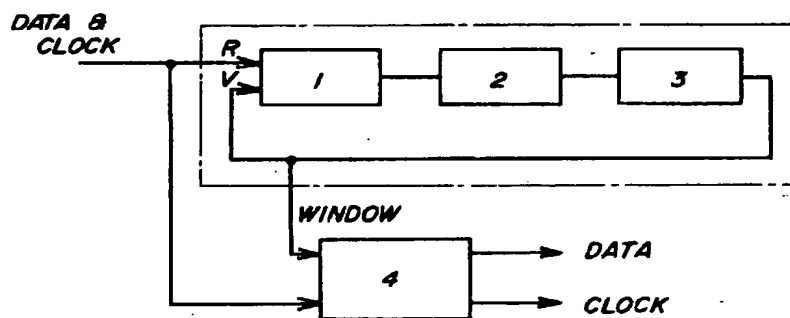
4 図面の簡単な説明

第1図は従来のPLL方式によるVFO回路図、第2図は DATA & CLOCK 信号と WINDOW 信号との関係を示す図、第3図は本発明による一実施例の信号分離回路図、第4図は DATA & CLOCK 信号が無い場合のカウンタの出力波形図、第5図及び第6図は DATA & CLOCK 信号が到来した場合の

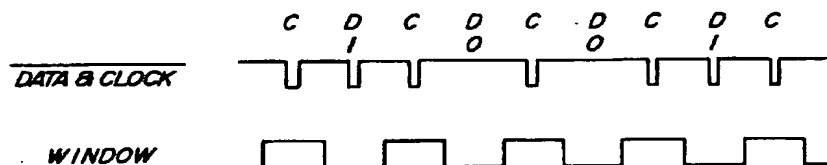
一例のタイムチャート図、第7図及び第8図は磁気ディスクの回転の変動と WINDOW 信号との関係を示すタイムチャート図である。

図中、5:カウンタ、6:データセパレータ、 $QA \sim QD$:カウンタ出力、 $A \sim D$:プリセット入力、 CK :クロック信号。

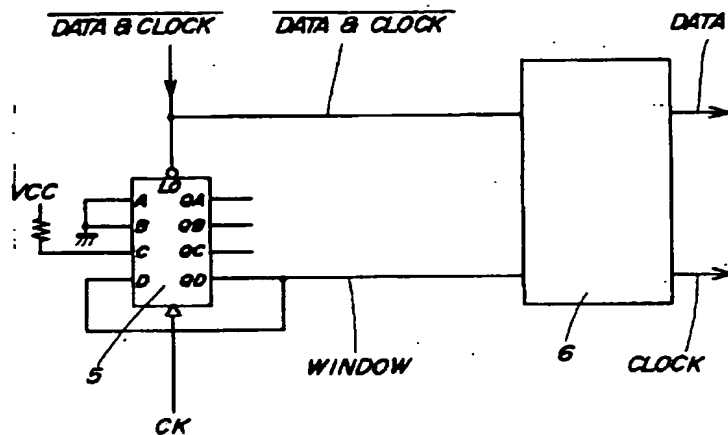
代理人 弁理士 福 士 愛 彦



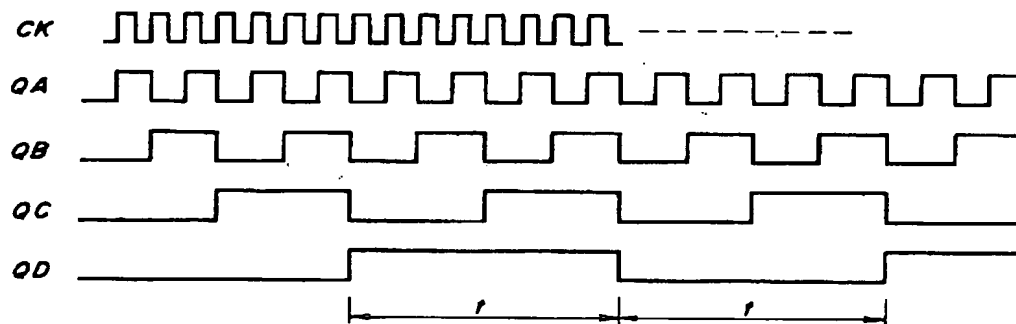
第1図



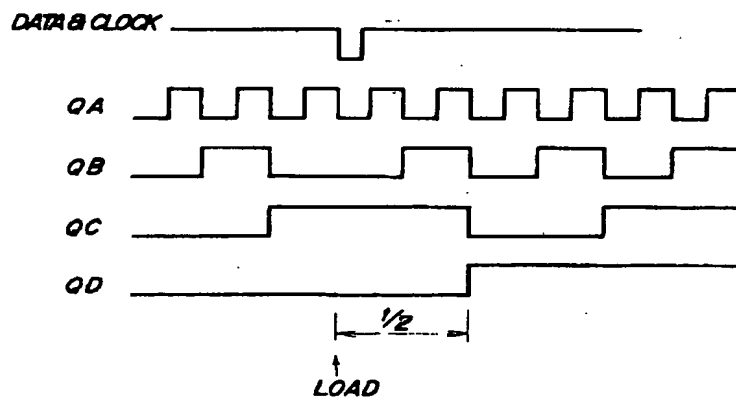
第2図



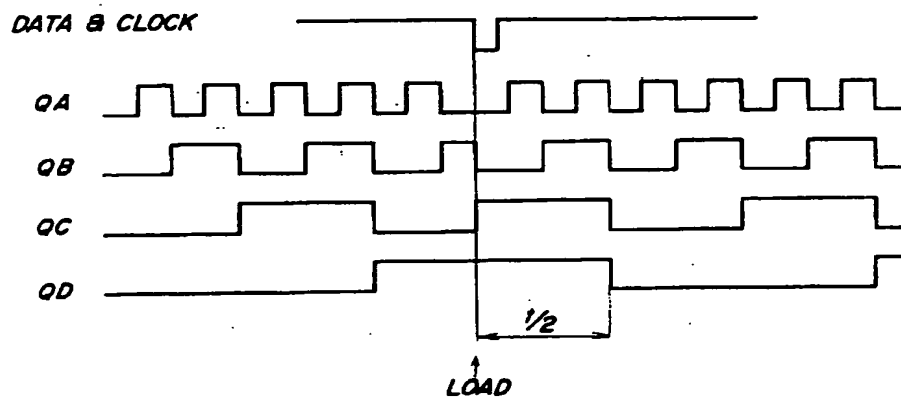
第3圖



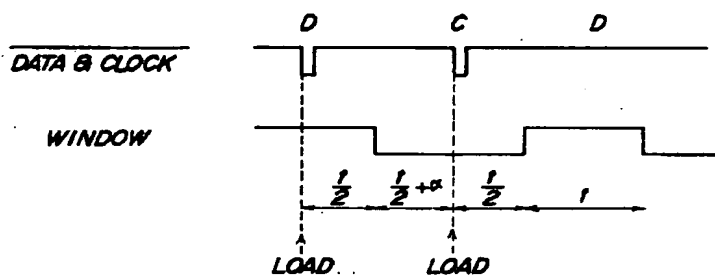
第4圖



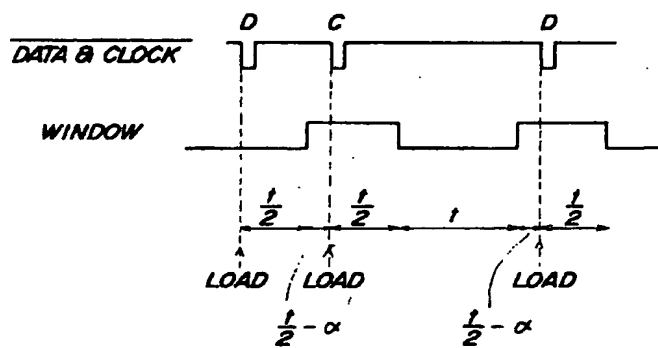
第5圖



第6図



第7図



第8図